



## ENTRENADOR DE MATRIZ DE PUERTAS PROGRAMABLES EN CAMPO (FPGA)



### DL FPGA-ALTERA / DL FPGA-XILINX KITS DE CAPACITACIÓN

#### INTRODUCCIÓN

**FPGA** (Field Programmable Gate Array) es un tipo de circuito integrado que se puede programar después de su fabricación para realizar funciones lógicas específicas. A diferencia de los chips de función fija, los FPGA ofrecen una flexibilidad increíble y se utilizan ampliamente en industrias como la aeroespacial, las telecomunicaciones, la automoción y la inteligencia artificial.

Lo que hace que **las FPGA** sean especiales es:

- **Hardware reprogramable:** las puertas lógicas se pueden reconfigurar para adaptarse a diferentes tareas.



- **Procesamiento paralelo:** a diferencia de las CPU, que ejecutan instrucciones de forma secuencial, las FPGA pueden realizar muchas operaciones simultáneamente.
- **Aplicaciones:** ideales para aplicaciones en tiempo real como el procesamiento de señales (por ejemplo, audio, video), la criptografía y las comunicaciones seguras, la robótica y la automatización, la aceleración de la IA y las redes neuronales, y la creación de prototipos de chips personalizados antes de la producción en masa.
- **Arquitectura personalizable:** los ingenieros pueden adaptar el comportamiento del chip utilizando lenguajes de descripción de hardware como Verilog o VHDL.

El kit de capacitación **DL FPGA** propuesto es un tipo de equipo multifuncional de enseñanza y desarrollo con una alta configuración y calidad.

Es adecuado para la enseñanza de **EDA** (automatización del diseño electrónico), el diseño de cursos y el diseño de graduación de diferentes universidades, y también es adecuado para el desarrollo de proyectos.

El entrenador adopta una estructura única de doble placa “placa principal + placa central” y se pueden configurar todos los pernos de E/S, por lo que **DL FPGA** puede satisfacer los requisitos desde experimentos de circuitos digitales simples hasta los más complicados. Al adoptar la tecnología **EDA**, la revisión de los circuitos se simplifica, se acorta el ciclo de desarrollo, se reduce la cantidad de chips y el volumen del sistema, el diseño se vuelve más flexible y se mejora la fiabilidad del sistema. El método de experimentación se ha actualizado, pasando del modo tradicional de superposición de hardware al diseño de software y al sistema de depuración de circuitos por simulación.

El entrenador consta de un módulo principal con fuente de alimentación, con la posibilidad de elegir uno de los dos sistemas propuestos:

- **DL FPGA-ALTERA** [con FPGA Altera (Intel)].
- **DL FPGA-XILINX** [con FPGA de Xilinx (AMD)].

**ALTERA** y **XILINX** son dos de las marcas líderes en el mundo de los **FPGA**. Ambas ofrecen potentes plataformas, pero difieren en arquitectura, herramientas y enfoque de rendimiento.



## DL FPGA-ALTERA

### CARACTERÍSTICAS TÉCNICAS

- Placa principal con:
  - 1 potenciómetro con señal de tensión de 0÷3.3 V.
  - 8 x LED.
  - 4 x LED de 7 segmentos.
  - 1 zumbador.
  - Interruptores de 8 bits.
  - 1 teclado 4x4.
  - 1 EEPROM serie IIC (24C04).
  - 1 interfaz VGA de 16 bits.
  - 1 interfaz de cristal líquido 1602, junto con una pantalla 1602.
  - 1 interfaz de cristal líquido TFT en color de 240 x 320, junto con una pantalla TFT de 240 x 320.
  - 1 interfaz de comunicación USB-RS232 integrada.
  - 1 interfaz de teclado PS/2.
  - 1 interfaz de tarjeta SD, junto con tarjeta SD (4 GB).
  - 1 interfaz de reloj DS1302.
  - 1 interfaz de sensor de temperatura, junto con un sensor de temperatura (DS18B20).
  - 1 interfaz de recepción de infrarrojos, junto con mando a distancia por infrarrojos.
  - 1 interfaz AD.
  - 1 interfaz DA.
  - 1 interfaz de dispositivo USB.
  - 1 interfaz Ethernet.
  - 1 interfaz CODEC de audio.
  - 8 simulaciones de falla.

### Placa central ALTERA

- FPGA Cyclone IV, chip EP4CE10.
- Amplía la serie Flash de 32 Mbit (M25P32), con suficiente almacenamiento interno para que el usuario pueda utilizar el sistema uCOS-II.
- Amplía el chip SDRAM de 256 Mbit (MT48LC16), con suficiente almacenamiento interno para que el usuario pueda ejecutar el sistema SOPC (System-On-a-Programmable-Chip) o NIOS II.
- Modo de configuración JTAG (que combina descargas y depuración).
- Más de 32 E/S de usuario ampliables.

### Software y sistema operativo

- Quartus II/SOPC builder/NIOS II/Signal tap II.
- Windows 10 de 64 bits y Windows 11 de 64 bits, Professional.



## OBJETIVOS DE FORMACIÓN

Con esta placa es posible realizar experimentos sobre los siguientes temas:

- Diseño lógico:
  - ◆ Suma parcial/suma completa/suma de 8 bits/suma común con acarreo/suma vectorial/resta/comparador de datos/selector de ocho vías/codificador, decodificador.
  - ◆ Contador: contador ascendente, contador descendente, contador paralelo.
  - ◆ Dos máquinas de estados: máquina MOORE, máquina MEALY.
  - ◆ Tres registros de desplazamiento: entrada serie/salida paralela y entrada paralela/salida serie, entrada serie/salida serie, entrada paralela/salida paralela.
  - ◆ Generador de impulsos.
  - ◆ Experimentos de diseño de memoria: ROM.
- Diseño independiente:
  - ◆ Experimento de control de LED.
  - ◆ Experimento de control de zumbador.
  - ◆ Experimento de visualización estática LED de 7 segmentos.
  - ◆ Experimento de escaneo dinámico LED de 7 segmentos.
  - ◆ Experimento de distinción de teclas.
  - ◆ Experimento EEPEOM.
  - ◆ Experimentos con pantalla líquida 1602.
  - ◆ Experimentos con pantalla líquida TFT de 320\*240.
  - ◆ Experimento con pantalla VGA.
  - ◆ Experimento de comunicación RS232.
  - ◆ Experimento con teclado PS2.
  - ◆ Experimento con DS1302.
  - ◆ Experimento con sensor de temperatura.
  - ◆ Experimento con infrarrojos.
  - ◆ Experimento AD.
  - ◆ Experimento con DA.
  - ◆ Núcleo IP: Experimento con núcleo IP FIFO.
- Diseño DSP:
  - ◆ Multiplicador vectorial.
  - ◆ FFT.
- Diseño integrado (SOPC):
  - ◆ Experimento de audio.
  - ◆ Experimento con reloj digital (RTC+ Teclado+ TFT LCD)
  - ◆ Experimento con tarjeta SD.
  - ◆ Experimento de comunicación USB.
  - ◆ Experimento de comunicación en red.
- Diseño del sistema:
  - ◆ Experimento con el sistema operativo uCOS II.
- Diseño de prototipos:
  - ◆ Diseño ASIC del convertidor USB-RS232.



## ACCESORIOS

El entrenador se suministra con los siguientes elementos:

- Adaptador de corriente DC5V/2A,
- Tarjeta SD,
- Cable USB tipo A-B,
- Convertidor USB-RS232,
- Depurador y descargador,
- Cables.

Completo con documentación técnica, manual práctico y software.



## DL FPGA-XILINX

### CARACTERÍSTICAS TÉCNICAS

- Placa principal con:
  - 1 potenciómetro con señal de tensión de 0÷3.3 V.
  - 8 x LED.
  - 4 x LED de 7 segmentos.
  - 1 zumbador.
  - 8 interruptores de bits.
  - 1 teclado 4x4.
  - 1 EEPROM serie IIC (24C04).
  - 1 interfaz VGA de 16 bits.
  - 1 interfaz de cristal líquido 1602, junto con una pantalla 1602.
  - 1 interfaz de cristal líquido TFT en color de 240 x 320, junto con una pantalla TFT de 240 x 320.
  - 1 interfaz de comunicación USB-RS232 integrada en encendido.
  - 1 interfaz de teclado PS/2.
  - 1 interfaz de tarjeta SD, junto con tarjeta SD (4 GB).
  - 1 interfaz de reloj DS1302.
  - 1 interfaz de sensor de temperatura, junto con un sensor de temperatura (DS18B20).
  - 1 interfaz de recepción de infrarrojos, junto con mando a distancia por infrarrojos.
  - 1 interfaz AD.
  - 1 interfaz DA.
  - 1 interfaz de dispositivo USB.
  - 1 interfaz Ethernet.
  - 1 interfaz CODEC de audio.
  - 8 simulaciones de falla.

### Placa central XILINX

- FPGA Spartan VI, chip XC6SLX9.
- Amplía la memoria Flash de 32 Mbit (M25P32), con suficiente almacenamiento interno para que el usuario pueda utilizar el sistema uCOS-II.
- Amplía el chip SDRAM de 256 Mbit (MT48LC16), con suficiente almacenamiento interno para que el usuario pueda ejecutar el sistema SOPC (System-On-a-Programmable-Chip) o NIOS II.
- Modo de configuración JTAG (que combina descargas y depuración).
- Más de 32 E/S de usuario ampliables.

### Software y sistema operativo

- ISE/EDK/SDK/ChipScope.
- Windows 10 de 64 bits y Windows 11 de 64 bits, Professional.



## OBJETIVOS DE FORMACIÓN

Con esta placa es posible realizar experimentos sobre los siguientes temas:

- Diseño lógico:

- ◆ Suma parcial/suma completa/suma de 8 bits/suma común con acarreo/suma vectorial/resta/comparador de datos/selector de ocho vías/codificador, decodificador.
- ◆ Contador: contador ascendente, contador descendente, contador paralelo.
- ◆ Dos máquinas de estados: máquina MOORE, máquina MEALY.
- ◆ Tres registros de desplazamiento: entrada en serie/salida en paralelo y entrada en paralelo/salida en serie, entrada en serie/salida en serie, entrada en paralelo/salida en paralelo.
- ◆ Generador de impulsos.
- ◆ Experimentos de diseño de memoria: ROM.

- Diseño independiente:

- ◆ Experimento de control de LED.
- ◆ Experimento de control de zumbador.
- ◆ Experimento de visualización estática LED de 7 segmentos.
- ◆ Experimento de escaneo dinámico LED de 7 segmentos.
- ◆ Experimento de distinción de teclas.
- ◆ Experimento EEPEOM.
- ◆ Experimentos con pantalla líquida 1602.
- ◆ Experimentos con pantalla líquida TFT de 320\*240.
- ◆ Experimento con pantalla VGA.
- ◆ Experimento de comunicación RS232.
- ◆ Experimento con teclado PS2.
- ◆ Experimento con DS1302.
- ◆ Experimento con sensor de temperatura.
- ◆ Experimento con infrarrojos.
- ◆ Experimento con AD.
- ◆ Experimento con DA.
- ◆ Núcleo IP: Experimento con núcleo IP FIFO.

- Diseño DSP:

- ◆ Multiplicador vectorial.
- ◆ FFT.

- Diseño integrado (SOPC):

- ◆ Experimento de audio.
- ◆ Experimento con reloj digital (RTC + teclado + LCD TFT)
- ◆ Experimento con tarjeta SD.
- ◆ Experimento de comunicación USB.
- ◆ Experimento de comunicación en red.

- Diseño del sistema:

- ◆ Experimento con el sistema operativo uCOS II.

- Diseño de prototipos:



# ELECTRÓNICA



- ◆ Diseño ASIC del convertidor USB-RS232.

## ACCESORIOS

El entrenador se suministra con los siguientes elementos:

- Adaptador de corriente DC5V/2A,
- Tarjeta SD,
- Cable USB tipo A-B,
- Convertidor USB-RS232,
- Depurador y descargador,
- Cables.

Completo con documentación técnica, manual práctico y software.